

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-101647

(43)Date of publication of application : 05.04.2002

(51)Int.Cl.

H02M 3/155
G03B 17/02

(21)Application number : 2000-288930

(71)Applicant : FUJI PHOTO FILM CO LTD

(22)Date of filing : 22.09.2000

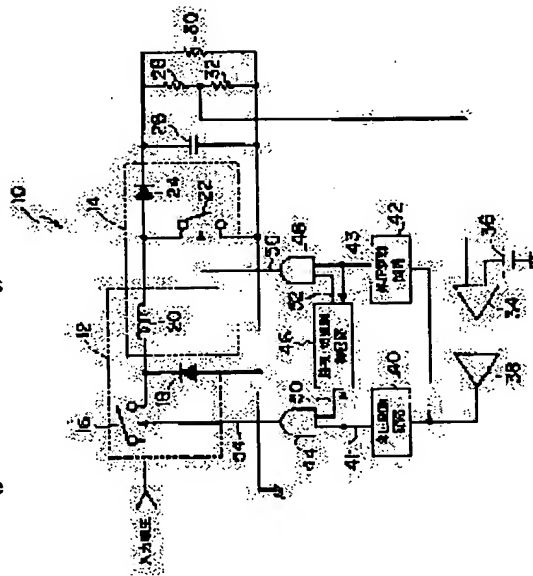
(72)Inventor : YASUIKE YOSHIHIRO

(54) POWER SUPPLY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a power supply device which smoothly changes the voltage boost and drop, suppresses phase disturbance in its circuit system and generation of AC ripple components in its output voltage.

SOLUTION: A switching power supply device 10 has a voltage drop circuit 12 and a voltage booster circuit 14, and the voltage drop circuit 12 is driven by a voltage drop drive circuit 40 and the voltage booster circuit 14 is controlled by a voltage booster drive circuit 42. The voltage drop drive circuit 40 and the voltage booster drive circuit 42 respectively output a PWM signal 41 or 43 which corresponds to the respective detected output voltages to an AND circuit 44 or 48. A supervision/changeover control circuit 46 supervises the PWM signal 41 and 43 and, if the pulse width or the frequency of the PWM signal 41 is out of each permissible range when the voltage drop circuit 12 is under operation, stops the output of the PWM signal 41 by outputting a low level signal to the AND circuit 44 and outputs the PWM signal 43 to a switch element 22 by outputting a high level signal to the AND circuit 48.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2002-101647

(P 2002-101647 A)

(43) 公開日 平成14年4月5日 (2002. 4. 5)

(51) Int. Cl. 7

識別記号

F I

テーマコード* (参考)

H 0 2 M 3/155

H 0 2 M 3/155

H 2H100

F 5H730

U

G 0 3 B 17/02

G 0 3 B 17/02

審査請求 未請求 請求項の数 2

O L

(全 7 頁)

(21) 出願番号 特願2000-288930 (P2000-288930)

(22) 出願日 平成12年9月22日 (2000. 9. 22)

(71) 出願人 000005201

富士写真フイルム株式会社

神奈川県南足柄市中沼210番地

(72) 発明者 安池 嘉広

埼玉県朝霞市泉水3丁目11番46号 富士写真フイルム株式会社内

(74) 代理人 100079049

弁理士 中島 淳 (外3名)

F ターム (参考) 2H100 DD00

5H730 AA16 AS01 BB13 BB14 BB57

BB86 DD02 DD04 DD26 DD32

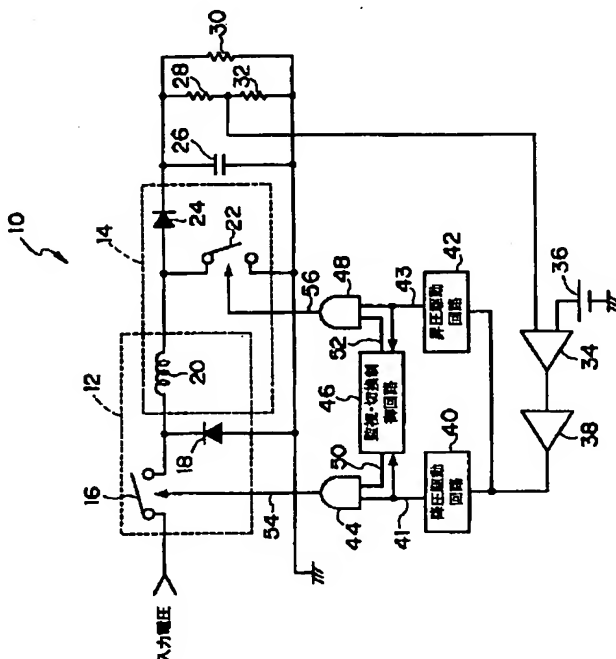
FD01 FG05 FG23

(54) 【発明の名称】 電源装置

(57) 【要約】

【課題】 昇降圧の切り換わりをスムーズにし回路系の位相の乱れを抑えると共に出力電圧のACリップル成分の発生を抑制することができる電源装置を得る。

【解決手段】 スイッチング電源装置10は降圧回路12、昇圧回路14を備え、降圧回路12は降圧駆動回路40により駆動され、昇圧回路14は昇圧駆動回路42により制御される。降圧駆動回路40及び昇圧駆動回路42は検出した出力電圧に応じたPWM信号41又は43をAND回路44又は48へ出力する。監視・切換制御回路46はPWM信号41及び43を監視し、降圧回路12が動作しているときにPWM信号41のパルス幅や周波数が許容範囲外になった場合にはAND回路44へローレベルを出力してPWM信号41の出力を停止させ、AND回路48へハイレベルを出力してPWM信号43をスイッチ素子22へ出力させる。



【特許請求の範囲】

【請求項 1】 入力電圧が出力電圧よりも高い場合に、入力電圧を降圧するための降圧用スイッチ素子を含む降圧回路と、

前記降圧用スイッチ素子をスイッチングするための降圧用制御信号を出力する降圧用駆動手段と、

入力電圧が出力電圧よりも低い場合に、入力電圧を昇圧するための昇圧用スイッチ素子を含む昇圧回路と、

前記昇圧用スイッチ素子をスイッチングするための昇圧用制御信号を出力する昇圧用駆動手段と、

前記降圧用制御信号及び前記昇圧用制御信号を監視し、前記降圧用制御信号及び前記昇圧用制御信号のうち動作側の信号が許容範囲外の信号になった場合に、前記動作側の信号の出力を停止させると共に、非動作側の信号の出力を有効にする監視手段と、

を備えた電源装置。

【請求項 2】 前記出力電圧に応じたパルス幅信号を生成するパルス幅変調手段をさらに備え、前記降圧用駆動手段は前記パルス幅信号によりパルス幅変調した信号を前記降圧用制御信号として出力し、前記昇圧用駆動手段は前記パルス幅信号によりパルス幅変調した信号を前記昇圧用制御信号として出力し、前記監視手段はパルス幅変調された信号を監視することを特徴とする請求項 1 に記載の電源装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、電源装置に係り、特に、カメラなどの画像記録装置に用いられる昇降圧型チョップ方式の電源装置に関する。

【0002】

【従来の技術】 従来、直流電源から所望の直流電圧を得るための DC-DC コンバータには、例えば入力電圧が目標とする出力電圧よりも高い場合には降圧回路が動作して降圧し、入力電圧が目標とする出力電圧よりも低い場合には昇圧回路が動作して昇圧する昇降圧型チョップ方式がある。

【0003】 このような昇降圧型チョップ方式の電源装置が特開平 9-327171 号公報に記載されている。この特開平 9-327171 号公報には、昇降圧型チョップ方式の電源装置において、変換効率を向上させるために降圧回路と昇圧回路とが同時に動作しないように制御する技術が記載されている。

【0004】

【発明が解決しようとする課題】 しかしながら、上記従来技術における電源装置では、昇圧・降圧の切り替え時に、昇圧回路を駆動するための駆動回路及び降圧回路を駆動するための駆動回路が同時に動作する場合があります、回路系の位相が乱れ、出力電圧の AC リップル成分が増大する、という問題があった。

【0005】 本発明は、上記事実を考慮して、昇降圧の

切り換わりをスムーズにし、回路系の位相の乱れを抑えると共に、出力電圧の AC リップル成分の発生を抑制することができる電源装置を得ることが目的である。

【0006】

【課題を解決するための手段】 上記目的を達成するために本発明は、入力電圧が出力電圧よりも高い場合に、入力電圧を降圧するための降圧用スイッチ素子を含む降圧回路と、前記降圧用スイッチ素子をスイッチングするための降圧用制御信号を出力する降圧用駆動手段と、入力電圧が出力電圧よりも低い場合に、入力電圧を昇圧するための昇圧用スイッチ素子を含む昇圧回路と、前記昇圧用スイッチ素子をスイッチングするための昇圧用制御信号を出力する昇圧用駆動手段と、前記降圧用制御信号及び前記昇圧用制御信号を監視し、前記降圧用制御信号及び前記昇圧用制御信号のうち動作側の信号が許容範囲外の信号になった場合に、前記動作側の信号の出力を停止させると共に、非動作側の信号の出力を有効にする監視手段と、を備えたことを特徴とする。

【0007】 また、本発明では、前記出力電圧に応じたパルス幅信号を生成するパルス幅変調手段をさらに備え、前記降圧用駆動手段は前記パルス幅信号によりパルス幅変調した信号を前記降圧用制御信号として出力し、前記昇圧用駆動手段は前記パルス幅信号によりパルス幅変調した信号を前記昇圧用制御信号として出力し、前記監視手段はパルス幅変調された信号を監視することができる。

【0008】 本発明の電源装置では、降圧回路は、入力電圧が出力電圧よりも高い場合に、入力電圧を降圧するための降圧用スイッチ素子を備えている。この降圧用スイッチ素子には、例えば電界効果トランジスタ、すなわち所謂 MOS-FET やバイポーラ型のトランジスタを用いることができる。

【0009】 降圧用スイッチ素子は、降圧用駆動手段から出力される降圧用制御信号によりスイッチング制御される。この降圧用制御信号は、出力電圧が目標とする出力電圧となるように例えばパルス幅が制御される。すなわち、降圧用駆動手段はパルス幅変調した信号を降圧用制御信号として出力する。このパルス幅変調した信号を得るためには、前記出力電圧に応じたパルス幅信号を生成するパルス幅変調手段をさらに備えることが好ましい。このパルス幅変調手段からのパルス幅信号によりパルス幅変調した信号を降圧用制御信号として出力する。

【0010】 昇圧回路は、入力電圧が出力電圧よりも低い場合に、入力電圧を昇圧するための昇圧用スイッチ素子を備えている。この昇圧用スイッチ素子は、降圧用スイッチ素子と同様に電界効果トランジスタやバイポーラ型のトランジスタを用いることができる。

【0011】 昇圧用スイッチ素子は、昇圧用駆動手段から出力される昇圧用制御信号によりスイッチング制御される。この昇圧用制御信号は、出力電圧が目標とする出

力電圧となるように例えばパルス幅が制御される。すなわち、昇圧用駆動手段はパルス幅変調した信号を前記昇圧用制御信号として出力する。このパルス幅変調した信号を得るためには、前記出力電圧に応じたパルス幅信号を生成するパルス幅変調手段をさらに備えることが好ましい。このパルス幅変調手段からのパルス幅信号によりパルス幅変調した信号を昇圧用制御信号として出力する。

【0012】このように、本発明の電源装置は、入力電圧が出力電圧よりも高い場合には入力電圧をスイッチング制御により降圧し、入力電圧が出力電圧よりも低い場合に

入力電圧をスイッチング制御により昇圧する昇降圧型チョッパ方式のスイッチング電源装置となっている。

【0013】降圧用制御信号及び昇圧用制御信号は、例えば入力電圧が出力電圧に近く、降圧、昇圧の切り換わり時には、例えば動作している回路側に出力されている制御信号のパルス幅が細くなってパルスが歯抜け状態になったり、周波数が所定の動作周波数からずれてくる。

【0014】そこで、監視手段は、降圧用制御信号及び昇圧用制御信号を監視する。そして、降圧用制御信号及び昇圧用制御信号のうち動作側の信号が許容範囲外の信号になった場合、すなわち例えばパルス幅が細くなったり、周波数が所定の動作周波数からずれてしまった場合に、動作側の回路への出力を停止させると共に、非動作側の回路への信号の出力を有効にする。従って、監視手段はパルス幅変調された信号を監視することになる。

【0015】例えば、入力電圧が出力電圧よりも高く、降圧回路が動作している場合において、降圧用制御信号のパルス幅が所定のパルス幅よりも小さくなった場合には、降圧用制御信号が降圧用スイッチ素子へ出力されるのを停止させ、昇圧用制御信号が昇圧用スイッチ素子へ出力されるようにする。

【0016】これにより、降圧用スイッチ素子及び昇圧用スイッチ素子が同時に動作することがなく、降圧回路が動作しているときには昇圧回路を完全に停止させ、昇圧回路が動作しているときには降圧回路の動作を完全に停止させることができる。従って、昇降圧の切り換わりをスムーズにし、回路系の位相の乱れを抑えると共に、出力電圧のACリップル成分の発生を抑制することができる。

【0017】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態の一例を詳細に説明する。

【0018】図1に本発明の実施の形態に係る昇降圧型チョッパ方式のスイッチング電源装置10の回路図が示されている。

【0019】図1に示すように、スイッチング電源装置10は、降圧回路12、昇圧回路14を備えている。降圧回路12は、降圧用スイッチ素子16、ダイオード18、チョークコイル20で構成されている。昇圧回路1

4は、チョークコイル20、昇圧用スイッチ素子22、ダイオード24で構成されている。

【0020】降圧回路12の降圧用スイッチ素子16の一端には入力電圧が入力される。降圧用スイッチ素子16の他端はダイオード18のカソード端子に接続されると共に、チョークコイル20の一端が接続されている。ダイオード18のアノード端子は接地されている。

【0021】チョークコイル20の他端は、昇圧用スイッチ素子22の一端に接続されると共に、ダイオード24のアノード端子に接続されている。昇圧用スイッチ素子22の他端は接地されている。

【0022】ダイオード24のカソード端子は、コンデンサ26の一端に接続されると共に、出力電圧設定抵抗28及び負荷30の一端に接続されている。コンデンサ26の他端は接地されている。

【0023】出力電圧設定抵抗28の他端は、出力電圧設定抵抗32の一端に接続されると共に、エラーアンプ34の一方の入力端に接続されている。出力電圧設定抵抗32の他端は接地されている。エラーアンプ34の他方の入力端は基準電圧電源36のプラス側が接続されている。基準電圧電源36のマイナス側は接地されている。

【0024】エラーアンプ34の出力端はPWMコンパレータ38の入力端に接続されている。PWMコンパレータ38の出力端は、降圧駆動回路40に接続されると共に昇圧駆動回路42に接続されている。

【0025】エラーアンプ34の一方の入力端には出力電圧設定抵抗28及び出力電圧設定抵抗32によって分圧された出力電圧が検出電圧として入力される。これにより、エラーアンプ34では、入力された検出電圧と基準電圧電源36からの予め定めた基準電圧 V_{ref} とが比較される。この基準電圧 V_{ref} は、目標とする出力電圧に対応する電圧に設定される。

【0026】そして、例えば検出電圧と基準電圧 V_{ref} との差分電圧がPWMコンパレータ38へ出力される。PWMコンパレータ38では、この差分電圧に応じたパルス幅の信号が差分信号として降圧駆動回路40及び昇圧駆動回路42へ出力される。

【0027】降圧駆動回路40は、降圧用スイッチ素子16をスイッチングするためのパルス幅制御信号、すなわちPWM(Pulse Width Modulation)信号41を差分信号に応じたパルス幅でAND回路44へ出力する。また、このAND回路44へ出力されるPWM信号41は監視・切換制御回路44により監視される。

【0028】降圧駆動回路40は、入力電圧が出力電圧よりも所定以上高い場合に所定周波数のPWM信号を出力する。

【0029】昇圧駆動回路42は、昇圧用スイッチ素子22をスイッチングするためのPWM信号43を差分信

号に応じたパルス幅でAND回路48へ出力する。また、このAND回路48へ出力されるPWM信号43は監視・切換制御回路44により監視される。

【0030】昇圧駆動回路42は、入力電圧が出力電圧よりも所定以上低い場合に所定周波数のPWM信号を出力する。

【0031】監視・切換制御回路44では、降圧駆動回路40から出力されるPWM信号41及び昇圧駆動回路42から出力されるPWM信号43を監視する。そして、降圧駆動回路40から出力されるPWM信号41が正常なパルス幅及び正常な周波数の場合、すなわち、パルス幅及び周波数が許容範囲内の場合には、切換信号50をハイレベルにすると共に、切換信号50を反転した信号、すなわちローレベルをAND回路48へ出力する。

【0032】一方、PWM信号41のパルス幅及び周波数が許容範囲内でない場合には、切換信号50をローレベルにする。

【0033】また、昇圧駆動回路42から出力されるPWM信号43のパルス幅及び周波数が許容範囲内の場合には、切換信号52をハイレベルにすると共に、切換信号52を反転した信号、すなわちローレベルをAND回路44へ出力する。

【0034】AND回路44は、降圧駆動回路40から出力されるPWM信号41と監視・切換制御回路44から出力される切換信号50とのAND信号54を降圧用スイッチ素子16へ出力する。

【0035】また、AND回路48では、昇圧駆動回路42から出力されるPWM信号43と監視・切換制御回路44から出力される切換信号52とのAND信号56を昇圧用スイッチ素子22へ出力する。

【0036】従って、入力電圧が出力電圧よりも高く降圧回路12が動作中で、PWM信号41のパルス幅及び周波数が許容範囲内の場合、PWM信号41により降圧用スイッチ素子16がスイッチングされ、降圧回路12が動作すると共に、昇圧用スイッチ素子22は完全にオフとなり昇圧回路14は動作しない。

【0037】一方、降圧回路12が動作中にPWM信号41のパルス幅及び周波数が許容範囲外になった場合には、PWM信号41が降圧用スイッチ素子16へ出力されずにスイッチングが停止され、降圧回路12が停止すると共に、PWM信号43が昇圧用スイッチ素子22へ出力され、昇圧回路14が動作する。

【0038】そして、入力電圧が出力電圧よりも低く、昇圧回路が動作中で、PWM信号43のパルス幅及び周波数が許容範囲内の場合、PWM信号43により昇圧用スイッチ素子22がスイッチングされ、昇圧回路14が動作すると共に、降圧用スイッチ素子16は完全にオフとなり降圧回路12は動作しない。

【0039】このように、降圧駆動回路40及び昇圧用

駆動回路42からのPWM信号41、43を監視することにより降圧回路12及び昇圧回路16を完全に独立して動作させることができる。

【0040】なお、降圧用スイッチ素子16、22には、電界効果トランジスタ、すなわちMOS-FETやバイポーラ型のトランジスタを用いることができる。

【0041】図2には降圧用スイッチ素子16をPチャネル型のMOS-FETとし、昇圧用スイッチ素子22をNチャネル型のMOS-FETとした場合の構成を示した。

【0042】この場合、図2に示すように、Pチャネル型MOS-FET16のソースに入力電圧が入力される。そして、Pチャネル型MOS-FET16のドレインがダイオード18のカソード端子に接続されると共にチョークコイル20の一端に接続され、ゲートがAND回路44の出力端に接続される。

【0043】一方、Nチャネル型MOS-FET22のドレインはチョークコイル20の一端に接続されると共にダイオード24のアノード端子に接続され、ソースが接地される。また、ゲートはAND回路48の出力端に接続される。

【0044】また、図3には、降圧用スイッチ素子16をpnp型のトランジスタとし、昇圧用スイッチ素子22をnpn型のトランジスタとした場合の構成を示した。

【0045】この場合、図3に示すように、pnp型トランジスタ16のエミッタに入力電圧が入力される。そして、pnp型トランジスタ16のコレクタがダイオード18のカソード端子に接続されると共にチョークコイル20の一端に接続され、ベースがAND回路44の出力端に接続される。

【0046】一方、npn型トランジスタ22のコレクタはチョークコイル20の一端に接続されると共にダイオード24のアノード端子に接続され、エミッタが接地される。また、ベースはAND回路48の出力端に接続される。

【0047】なお、本実施の形態の降圧回路12は本発明の降圧回路に相当し、降圧用スイッチ素子16は本発明の降圧用スイッチ素子に相当する。また、本実施の形態の降圧用駆動回路40は本発明の降圧用駆動手段に相当し、その出力するPWM信号41は本発明の降圧用制御信号に相当する。同様に、本実施の形態の昇圧回路14は本発明の昇圧回路に相当し、昇圧用スイッチ素子22は本発明の昇圧用スイッチ素子に相当する。また、本実施の形態の昇圧用駆動回路42は本発明の昇圧用駆動手段に相当し、その出力するPWM信号41は本発明の昇圧用制御信号に相当する。

【0048】また、本実施の形態の監視・切換制御回路44は、本発明の監視手段に相当する。また、監視・切換制御回路44が出力する切換信号50、52は、相互

に反転した信号であり、本発明における動作側の信号の出力を停止させかつ非動作側の信号の出力を有効にさせるための機能を有する信号である。すなわち、切換信号 50、52 は、対応する駆動回路の信号が許容範囲内の信号のときハイレベルである。

【0049】具体的には、ハイレベルの切換信号 50 は AND 回路 44 で PWM 信号 41 を有効に出力させる

(すなわち本発明にかかる、非動作側の信号の出力を有効にする) 機能となる。これに対して、切換信号 52 はローレベルとなり、ローレベルの切換信号 52 は AND 回路 48 で PWM 信号 43 を無効化(すなわち本発明にかかる動作側の信号の出力を停止させる)させる機能となる。その逆も同様で、ローレベルの切換信号 50 は AND 回路 44 で PWM 信号 41 を無効化させる機能となる。これに対して、切換信号 52 はハイレベルとなり、ハイレベルの切換信号 52 は AND 回路 48 で PWM 信号 43 を有効に出力させる機能となる。

【0050】また、本実施の形態の PWM コンパレータ 38 は本発明のパルス幅変調手段に相当し、その出力である差分信号は本発明のパルス幅信号に相当する。

【0051】次に、本実施の形態の作用について、図 4 に示すタイミングチャートを参照して説明する。

【0052】入力電圧が出力電圧よりも高い場合には、図 4 に示すように、降圧駆動回路 40 から出力される PWM 信号 41 のパルス幅及び周波数が許容範囲内であり、監視・切換制御回路 46 では、切換信号 50 をハイレベルにすると共に、切換信号 52 をローレベルにする。

【0053】これにより、図 4 に示すように AND 回路 44 は PWM 信号 41 を AND 信号 54 として降圧用スイッチ素子 16 に出力し、降圧用スイッチ素子 16 がスイッチングされる。このとき、切換信号 52 はローレベルのため、AND 回路 48 は PWM 信号 43 を昇圧用スイッチ素子 22 へは出力せず、昇圧用スイッチ素子 22 は完全にオフ状態となる。

【0054】そして、入力電圧が出力電圧に徐々に近づくと、図 4 に示す時刻 t1 の時点で降圧駆動回路 40 から出力される PWM 信号 41 のパルス幅及び周波数が許容範囲内でなくなると、すなわちパルス幅が小さくなったりパルスが歯抜け状態になったりすると、監視・切換制御回路 46 は切換信号 50 をローレベルにすると共に切換信号 52 をハイレベルにする。

【0055】これにより、図 4 に示すように、AND 回路 44 から出力される AND 信号 54 はローレベルとなり、降圧駆動回路 40 からの PWM 信号 41 の出力が停止される。そして、これと同時に AND 回路 48 は昇圧駆動回路 42 から出力される PWM 信号 43 を図 4 に示すように AND 信号 56 として昇圧用スイッチ素子 22 へ出力する。このとき、切換信号 50 はローレベルのため、AND 回路 44 は PWM 信号 41 を降圧用スイッチ

素子 16 へは出力せず、降圧用スイッチ素子 16 は完全にオフ状態となる。

【0056】このように、降圧用スイッチ素子 16 がスイッチングされているときには昇圧用スイッチ素子 22 は完全にオフとなり、昇圧用スイッチ素子 22 がスイッチングされているときには降圧用スイッチ素子 16 は完全にオフとなる。

【0057】従って、降圧回路 12 が動作しているときには、昇圧回路 14 が完全に停止し、昇圧回路 14 が動作しているときには降圧回路 12 が完全に停止する。これにより、昇降圧の切り換えりをスムーズかつ確実に実行でき、回路系の位相の乱れを抑えると共に、出力電圧の AC リップル成分の発生を抑制することができる。また、昇圧回路 14 が動作しているときは降圧回路 12 を完全に停止でき、また、降圧回路 12 が動作しているときは昇圧回路 14 を完全に停止できる。従って、切換時の変換効率をより向上させることができる。

【0058】

【発明の効果】以上説明したように本発明によれば、降圧用制御信号及び昇圧用制御信号を監視し、降圧用制御信号及び昇圧用制御信号のうち動作側の信号が許容範囲外の信号になった場合、動作側の回路への出力を停止させると共に、非動作側の回路への信号の出力を有効にするので、昇降圧の切り換えりをスムーズにし、回路系の位相の乱れを抑えると共に、出力電圧の AC リップル成分の発生を抑制することができる、という効果がある。

【図面の簡単な説明】

【図 1】本発明の実施の形態に係るスイッチング電源装置の概略を示す回路図である。

【図 2】本発明の実施の形態に係るスイッチング電源装置の概略を示す回路図である。

【図 3】本発明の実施の形態に係るスイッチング電源装置の概略を示す回路図である。

【図 4】各部の動作を示すタイミングチャートである。

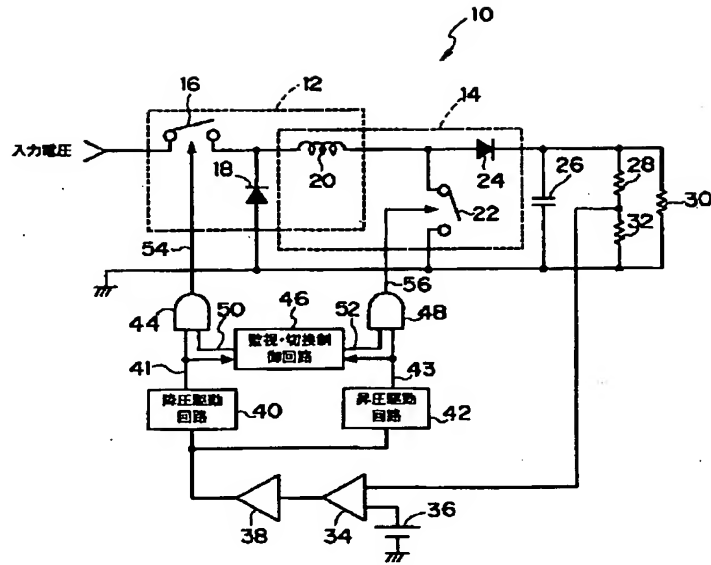
【符号の説明】

10 スwitchング電源装置
12 降圧回路
14 昇圧回路
16 降圧用スイッチ素子
18、24 ダイオード
20 チョークコイル
22 昇圧用スイッチ素子
26 コンデンサ
28、32 出力電圧設定抵抗
30 負荷
34 エラーアンプ
36 基準電圧電源
38 PWM コンパレータ
40 降圧駆動回路
41、43 PWM 信号

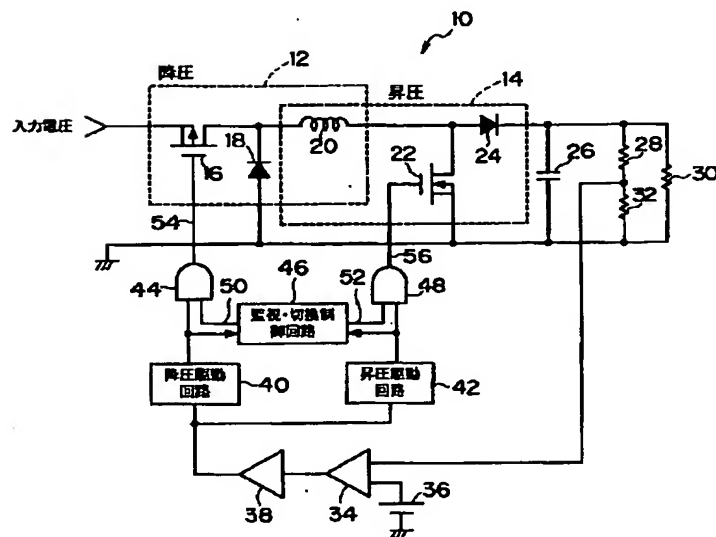
42 昇圧駆動回路
 44、48 AND回路
 46 監視・切換制御回路

50、52 切換信号
 54、56 AND信号

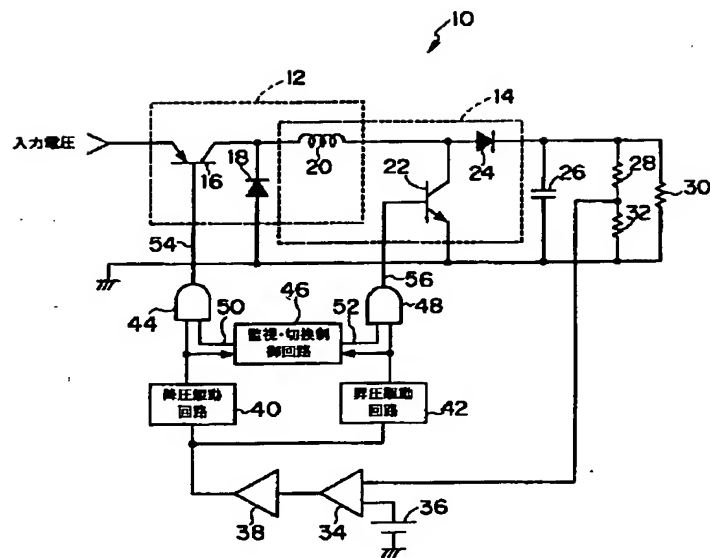
【図1】



【図2】



【図 3】



【図 4】

